

鄭美苑 教授指導
碩士學位 請求論文

반도체 올리고머 합성 및 잉크젯
프린터를 이용한 합성 물질의
트랜지스터 제조 및 특성 분석

2006

誠信女子大學校 大學院
化學科
李福任

반도체 올리고머 합성 및 잉크젯
프린터를 이용한 합성 물질의
트랜지스터 제조 및 특성 분석

鄭美苑 教授指導

이 論文을 碩士學位 論文으로 提出함

2006년 2월

誠信女子大學校 大學院

化學科

李 福 任

認 准 書

李福任 碩士學位 論文으로 認准함.

審査委員_____ 印

審査委員_____ 印

審査委員_____ 印

誠信女子大學校 大學院

논문개요

본 실험에서는 전기전도도가 높으며, 활성층에 적용하여 제작된 소자의 경우 전하 이동도의 증가와 전류 점멸비의 증가 경향을 갖는 올리고머를 합성하였다. EDOT은 매우 불한정하기 때문에 사슬 길이를 늘이는데 제한적 이었으나, 티오펜을 양쪽에 붙임으로써 EDOT을 안정화 시켜 줄 수 있었다. 염기로 $n\text{-BuLi}$ 를 사용하여 기능기인 Snbu_3 를 붙였고 Stille's couple 방법을 이용하여 EDOT와 thiophene을 커플링 시켰다.

합성된 7,7'-Bis-(5-hexyl-thiophene-2-yl)-2,3,2',3',2'',3''-hexahydro-[5,5'; 7',5'']ter[thiopne[3,4-*b*][1,4]dioxine(TEEET)에 대한 구조 분석은 ^1H NMR, ^{13}C NMR 스펙트라를 이용하였다. 폴리 3,4-에틸렌 다이옥시 티오펜을 게이트, 드레인, 그리고 소스로 사용하였으며, 절연층으로는 폴리 메틸메타 아크릴레이트(PMMA)을 사용하였다. 잉크젯 프린터에 이를 이용하는 것은 박막 트랜지스터(TFT)제조 공정을 간편화 하는 것뿐만 아니라, 저렴한 가격으로도 생산 할 수 있는 방법이다.

목차

논문개요

그림목록

I. 서론	1
1. 이론적 배경.....	1
2. 유기 전계효과 트랜지스터의 구조와 원리.....	6
3. 유기 전계효과 트랜지스터의 소자 특성.....	15
4. 잉크젯 프린터 기술의 배경과 응용.....	19
5. 연구 목적.....	23
II. 실험	24
Part 1. 전도성 고분자 합성 및 분석	
1. 시약 및 분석기기.....	24
(1) 시 약.....	25
(2) 분석 기기.....	26
2. 실험 방법.....	27
(1) The stannyl 유도체화.....	28
(2) 커플링 반응.....	28
(3) 브로미내이션	28
Part 2. 유기FET소자 제작 및 특성 분석	
1. 시약 및 분석기기.....	29
(1) 시 약.....	29
(2) 분석기기.....	30
2. 실험 방법.....	32

(1) PEDOT를 이용한 유기 박막 트랜지스터 소자제작.....	34
(2) 금을 이용한 유기 박막 트랜지스터 소자 제작.....	35
III. 결과 및 고찰	37
Part 1. 전도성 고분자 합성 및 분석	
Part 2. 유기 박막 트랜지스터 소자의 특성 분석	
1. PEDOT를 게이트, 드레인, 그리고 소스로 사용한 경우의 전류 대 전압 특성.....	37
2. 금을 게이트, 드레인, 그리고 소스로 사용한 경우의 전류 대 전압특성.....	45
IV. 결 론	47
참고 문헌	48
ABSTRACT	51

그림 목록

Figure 1.	유기 박막 트랜지스터에 사용되는 전도성 고분자.....	5
Figure 2.	<i>p</i> -형의 유기박막 트랜지스터의 원리.....	10
Figure 3.	<i>n</i> -형의 유기박막 트랜지스터의 원리	11
Figure 4.	FET의 드레인 전압 대 드레인-소스 전압 (V_D vs. V_{DS})곡선 (a)선형 영역(b) 포화 영역.....	12
Figure 5.	<i>n</i> -형과 <i>p</i> -형의 핀치 오프(pinch-off) 작동 원리.....	13
Figure 6.	FET의 전형적인 드레인 전류 대 드레인-소스 전압 (I_D vs. V_{DS}) 곡선의 특성.....	14
Figure 7.	선형 영역과 포화 영역의 드레인 전류 대 게이트 전압의 특성 (a) 선형 영역, (b) 포화 영역.....	18
Figure 8.	잉크 기술의 3가지 요소	19
Figure 9.	(a) 적하 요구법와 , (b) 연속법의 원리.....	22
Figure 10.	TEEET 올리고머 합성 방법 및 단계.....	27
Figure 11.	PEDOT를 전극으로 사용한 유기 박막 트랜지스터 제작 과정.....	32
Figure 12.	금을 전극으로 사용한 유기 박막 트랜지스터 제작 과정.....	33
Figure 13.	잉크젯 프린터를 이용하여 만든 유기 박막 트랜지스터 이미지 (a) $L=500 \mu\text{m}$, $W=4.5 \times 10^3$ (b) $L=700 \mu\text{m}$, $W=4.5 \times 10^3$	35
Figure 14.	유기 박막 트랜지스터의 구조 (a) top contact (b) bottom contact.....	36

Figure 15. (a) TEEET의 유기 구조, (b) TEEET의 ^1H NMR data	38
Figure 16. CH_2Cl_2 에 녹인 TEEET의 UV/Vis 흡수 스펙트라.....	39
Figure 17. PEDOT를 전극으로 사용한 $500\ \mu\text{m}$ 의 그래인 전류 대 게이트 전압의 특성곡선 (a) $I_D\text{-}V_{DS}$ 곡선 (b) $I_D\text{-}V_G$ 곡선.....	42
Figure 18. PEDOT를 전극으로 이용한 $500\ \mu\text{m}$ FET 소자의 드레인 전류 대 게이트 전압. (a) $I_D\text{-}V_{DS}$ 곡선 (b) $I_D\text{-}V_G$ 곡선.....	43
Figure 19. 드레인 소스 사이의 활성층의 원자 현미경 이미지 (a) 위에서 본 이미지 (b) 3D 입체 이미지.....	44
Figure 20. 금을 전극으로 사용한 $500\ \mu\text{m}$ FET소자의 드레인 전류 대 드레인-소스의 전압 곡선.....	46

표 목 록

Table 1. 합성에 사용 된 시약.....	25
Table 2. 유기 박막 트랜지스터 사용된 시약	29

I. 서론

1. 배경

지난 수십 년간 인류의 과학은 놀랄 만큼 빠른 속도로 변하여, 현재는 디지털 세상으로 접어들었다. 이를 가능케 한 것 중 하나는 실리콘(Si)이다. 실리콘을 기반으로 한 전자 도체기술의 발전 속에서 반도체 산업은 많은 연구에 의해 새로운 디지털 기술이 필요하게 되었고, 기존의 반도체 재료 이외의 새로운 반도체 재료도 관심을 끌게 되었다.

유기반도체는 이러한 전자 소재의 개념으로 새로이 도입된 재료로서 미래에 많은 분야에 적용될 것이라는 기대를 갖고 있다. 유기 반도체의 특성은 합성 방법의 다양함, 섬유나 필름 형태로의 성형이 용이함, 경량성, 유연성, 비선형 광학적 특징, 전도성, 높은 분극성, 저렴한 생산비, 높은 생산성 등이며, 무기물과 같이 벌크 성질을 이용할 수 있을 뿐만 아니라, 분자 자체가 기능성을 가지므로 초박막의 형태에서도 기능성이 유지되어 새로운 초박막 기능성 전자 소자 및 광소자의 개발이 가능하다.¹⁻⁴ 이러한 관점에서 볼 때, 전도성 유기 반도체를 이용한 전자 소자 및 광소자는 기존의 실리콘 중심의 무기물 소자를 완전히 대체 할 수는 없으나, 광범위한 분야에서 무기물 소자를 보완 대체 하거나 독자적인 특수한 응용 분자를 창출할 것으로 예상된다.⁵⁻¹⁰

유기반도체의 재료로 쓰이는 전도성 고분자는 ‘합성금속’이라고도 불리며, 기존의 고분자와는 달리 상당한 정도의 전기를 그 자체로서 흐르게 할 수 있는 성질을 가진다. π 공명 고분자(π -conjugated

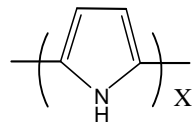
polymer)의 경우 실제적인 구조에 따라 부도체 또는 반도체의 전자 구조를 갖고 있으며. 여기에 불순물을 혼입하여 고분자 사슬의 전하를 변화시킬 경우 금속에 가까운 높은 전기 전도도를 나타내어 그 혼입 정도에 따라 반도체에서 도체에 이르는 광범위한 특성을 활용할 수가 있다. 이러한 전기 전도성 고분자의 특성은 1977년 가장 단순한 π 공명 구조를 갖는 폴리아세틸렌(polyacetylene)에서 최초로 발견되었는데. 당시 할로젠 혼입에 의해 트랜스-폴리아세틸렌(trans-polyacetylene)¹¹의 전기 전도도가 10^9 배 이상 증가하는 현상이 관찰되었다. 이후 새로운 전자 재료로서 유기 반도체에 대한 연구가 활발히 시작되었다. 1988년도 폴리아세틸렌(polyacetylene)을 이용하여 제작된 최초의 공액고분자 FET의 경우 10^{-4} cm²/Vs의 전계효과 이동도와 10^5 의 점멸비(On/Off ratio)를 나타내었다¹².

현재 트랜스-폴리아세틸렌(trans-polyacetylene) 뿐만 아니라 펜타센(pentacene)¹³, 폴리티오펜(poly(thiophene))¹⁴, 폴리(3-아세틸티오펜(poly(3-alkylthiophene))¹⁵, 폴리(티오닐렌 비닐렌)(Poly(thionylenevinylene))¹⁶, 폴리(N-알킬파이롤)(poly(N-alkylpyrrole))¹⁷, 폴리아닐린(polyaniline)^{18,19}, 폴리(나프탈렌 비닐렌)(poly(naphthenevinylene))²⁰ 등 다양한 공액 고분자 FET로의 적용이 활발히 진행되고 있다. 그림1에 현재까지 보고된 FET에 활성 층으로 사용한 공액분자의 구조를 나타내었다.

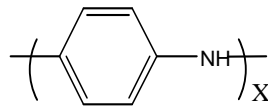
박막 트랜지스터는(Thin Film Transistor, TFT) 1962년 RCA lab.의 Weimer에 의해 제한되어 지금까지 많은 발전을 거듭해왔으며¹², 유기박막 트랜지스터 (Organic Thin Film Transistor, OTFT)는 영국의 Cavendish Lab., 미국의 IBM 연구소, Bell Lab., 펜실바니아 주립대학, 네덜란드의 필립스, 프랑스의 CNRS 그리고 일본의 미쯔

비시 등 연구소와 기업들을 중심으로 활발한 연구가 진행 중에 있다. 1986년 일본의 Mitsubishi Electric Corporation의 Tsumura 등은 유기물 반도체 폴리티오펜을 이용한 최초의 전계효과 트랜지스터를 제작하였다¹⁴. 이 전에도 몇몇의 연구 그룹에서 유기 색소나 폴리아세틸렌 같은 전도성 고분자를 이용하여 전계효과 트랜지스터를 제작하였으나 소자의 점멸비가 극히 낮았다¹¹. 또한 1964년과 1983년 단분자와 고분자의 전계효과를 보고 이후 1980년도 중반부터 시작되었으나 근래에 들어 유기 트랜지스터의 필요성이 대두되어 유기 반도체와 유기 게이트 절연막의 개발연구를 중심으로 전 세계적으로 본격적인 연구가 진행되고 있다. 공정이 비교적 간단하고 제작비용이 저렴하며 구부리거나 접을 수 있어 유기 디스플레이의 실현에 핵심적인 역할을 할 것으로 예상된다. 현재의 유기 트랜지스터로서는 전하 이동도가 낮아 빠른 이동도를 필요로 하는 과정에는 쓰일 수는 없으나 능동형 유기 디스플레이 구동소자로서의 역할이 기대된다. 그 외에 스마트카드, 저가형 IC와 같은 정보 처리용 회로로서의 응용, 전자소자로서는 Field effect transistor(FET)²¹⁻²³, Light Emitting Diode(LED)²⁴⁻²⁶, Solar cell²⁷ 등이 있다. 최근에는 플렉시블 디스플레이, e-book 등의 개발과 관련하여 유기물 반도체를 이용하는 연구가 전 세계적으로 활발히 진행되고 있다. 현재 대표적인 유기 반도체인 펜타센과 무기 절연막으로 만들어진 유기박막트랜지스터의 경우 전계효과이동도가 $\sim 5\text{cm}^2/\text{Vs}$ 이고, 전류 점멸비가 10^7 인 비정질 실리콘 트랜지스터에 근접한 결과들이 보고되고 있지만²⁸, 무기절연막이 아닌 유기 절연막을 사용한 전유기 유기박막트랜지스터의 성능은 기존 비정질 실리콘 박막트랜지스터에 미치지 못하고 있는 실정이다. 이유로는 유기 반도체 박막 자체의 전도

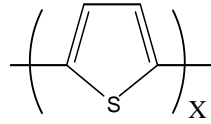
도가 낮고, 박막 계면에서는 전하이동 특성 불량을 들 수 있다. 특히, 유기반도체의 박막 계면에서의 전하 이동 특성은 유기 게이트 절연막의 벌크 및 표면특성과 아주 밀접한 관계를 맺고 있어 유기 반도체 뿐만 아니라, 유기 게이트 절연막의 연구 개발이 전유기 유기 박막 트랜지스터의 실현에 관건이 되고 있다. 전도성 고분자의 정제도 유기 박막 트랜지스터의 성능은 떨어뜨리는 이유 중 하나이다. 전유기 디스플레이에 적용할 수 있기 위해서는 전계효과 이동도, 전류 점멸비, 문턱 전압의 균일도 등의 기초적인 소자의 성능 향상뿐만 아니라, 유기박막트랜지스터의 구조 설계 및 제조 공정의 확립, 유기박막트랜지스터 특성 평가 기술 등이 필요하다. 비정질 실리콘을 사용한 소자의 제작 시 사용되는 진공 증착 방법은 고온, 고압의 환경을 필요로 하며, 그에 따른 고가의 장비가 불가피하다. 그러나 공액분자의 경우 상온, 상압에서의 스핀 코팅, 잉크젯 프린팅 등에 의한 편리한 소자제작 공정, 대면적의 플렉스블 디스플레이의 저가 제작을 가능하게 하는 등 많은 장점을 가지고 있다.



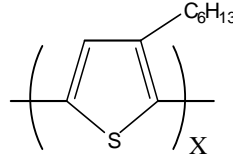
Polypyrrole



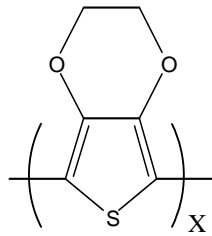
Polyaniline



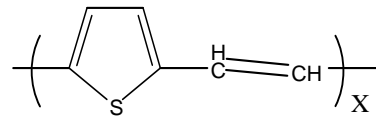
Polythiophene



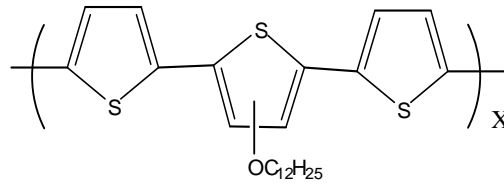
Poly(3-hexylthiophene)



Poly(3,4-ethylenedioxythiophene)



Poly(thienylene vinylene)



Poly(Dot)3

Figure. 1 유기 박막 트랜지스터에 사용되는 전도성 고분자.

2. 유기 FET의 구조와 원리

일반적으로 유기 FET (Organic Field Effect Transistor)는 게이트 전극, 게이트 절연층 소스와 드레인 전극 그리고 유기 반도체 활성층으로 구성된다.(Figure 2) FET에서 게이트에 전압 인가시키면 절연층에 유도된 전하는 유기 반도체 활성층에 전기장을 발생시킨다. 이때 인가된 게이트 전압에 따라 활성층에 흐르는 전류의 양이 조절된다.

유기 반도체는 전하 운반체 (Charge carrier)에 의해 두 가지 유형으로 구분된다. 전하 운반체가 정공 (hole)일 경우 p-형 반도체, 전자 (electron)일 경우 n-형 반도체라 한다. 우선 p-반도체를 활성층으로 사용한 FET의 동작원리를 설명하고자 한다. Figure 2 (a)에 나타낸 바와 같이 게이트 전극과 소스-드레인 전극 사이에 전압을 가하지 않으면 활성층 내의 전하들은 고루 퍼져있게 된다. 이때 게이트 전극에 양의 전압 (Forward bias)을 인가하면 절연체 층에 전하가 유도되어 활성층에 전기장이 발생된다. 이에 따라 양의 전하(정공)들은 절연체와 활성층 계면에서 위로 밀려 올라가게 된다. 따라서 절연체 층에 가까운 활성층에는 전하운반체(정공)가 없는 층이 형성되며, 이 층을 공핍층(depletion layer)라고 한다[Figure 2 (b)]. 이때 소스-드레인 전극 사이에 전압을 인가하면 이전보다 적은 양의 전류가 흐르게 된다[Figure 2(a)].

반대로 게이트 전극에 음의 전압을 인가하면 전기장의 효과로 절연체와 활성층 계면에 양의 전하(정공)가 더 많은 층이 형성되며, 이 층을 축적층(accumulation layer)이라 한다[Figure 2(c)]. 이때 소스-드레인 전극 사이에 전압을 인가하면, 전압을 인가하기 전보다,

더 많은 양의 전류가 흐르게 된다. 이와 같이 게이트의 전압을 조절하여 소스와 드레인 사이의 흐르는 전류를 제어 할 수 있다.

다음으로 n-형 반도체를 활성층으로 사용한 FET의 동작 원리이다. Figure 3(a)에 나타난바와 같이 게이트 전극과 소스-드레인 전극 사이에 전압을 인가하지 않으면 활성층내의 전하들은 고루 퍼져 있게 된다. 이때 게이트 전극에 음의 전압(forward bias)을 인가하면 절연체 층에 전하가 유도되어 활성층에 전기장이 발생된다. 이에 따라 음의 전하(전자)들은 절연체와 활성층 계면에서 위로 밀려 올라가게 된다. 따라서 절연체 층에 가까운 활성층에는 전하 운반체(전자)가 없는 층이 형성되며, 이 층을 공핍층(depletion layer)이라고 한다[Figure 3(b)]. 이때 소스-드레인 전극 사이에 전압을 인가하면 이전 보다 적은 양의 전류가 흐르게 될 것이다[Figure 3(c)]. 반대로 게이트 전극에 양의 전압을 인가하면, 전기장이 효과로 절연체와 활성층 계면에 양의 전하(전자)가 더 많은 층이 형성되며, 이 층을 축적층(accumulation layer)이라고 한다[Figure3(c)]. 이때 소스-드레인인 전극 사이에 전압을 인가하면, 전압을 인가하지 전보다 더 많은 양의 전류가 흐르게 된다[Figure 3(d)]. 이와 같이 게이트의 전압을 조절하여 소스- 드레인 사이의 흐르는 전류를 제어 할 수 있다.

p-형, n-형 반도체 모두의 경우 드레인 전류(I_D)의 흐름은 소스-드레인 전압(V_{DS})에 의해서도 영향을 받으며, 소스-드레인 전극 사이에 낮은 전압을 인가하면 Figure 4(a)와 같이 드레인 전류는 전압에 비례하여 선형으로 증가한다. 그러나 소스-드레인 전극 사이의 인가전압을 더욱 높이면 공핍층(depletion layer)의 증가로 인해 핀치오프(Pinch-off, 공핍층이 맞닿는 지점)점에 도달하여 전류가 더

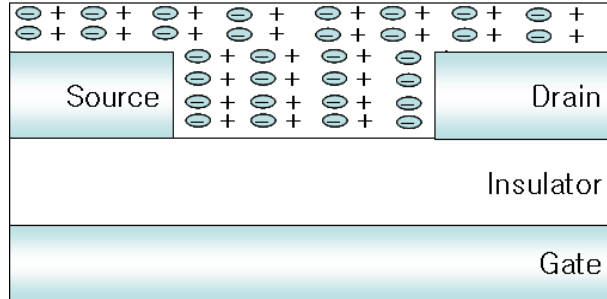
이상 증가 하지 않는 포화상태에 이르게 된다[Figure 4(b)].

핀치 오픈은 [Figure 5 (a)]와 같이 p-형 소자 동작 시 게이트 전압에 양의 전압을 인가 하였을 때 캐리어가 없는 공핍층이 생성되다가 이후에 Figure 5(b)와 같이 더 큰 양의 게이트 전압을 인가하면 공핍층의 증가로 인해서 소스-드레인 사이의 채널이 공핍층과 맞닿게 되는 지점이 형성된다. 이때 소스-드레인 사이의 전류는 더 이상 증가 하지 않고 포화 상태에 이르며 이 지점을 핀치 오픈점이라고 한다. 반대로 n-형 소자 동작 시 Figure 5(c)와 같은 게이트 전압에 음의 전압을 인가하였을 때, 캐리어가 없는 공핍층이 생성된다. 이후에 Figure 5(d)와 같이 더 큰 음의 게이트 전압을 인가하면 공핍층의 증가로 인해서 소스-드레인 사이에 채널이 공핍층과 맞닿게 된다는 지점이 형성된다.

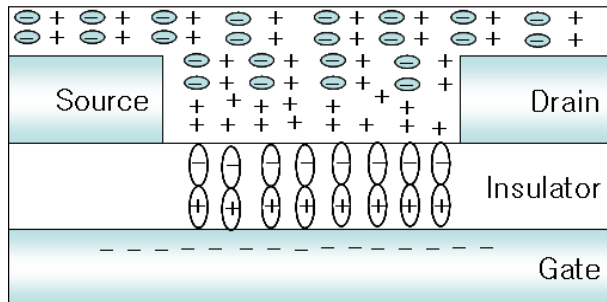
일반적으로 p-형, n-형 반도체를 활성층으로 적용한 소자는, 소스-드레인 전극 사이에 전류가 흐르는 통로인 채널(p-형의 경우 p 채널, n-형의 경우 n 채널)의 형성 유무에 따라 두 가지의 유형으로 구분된다. p-형, n-형 반도체를 활성층으로 적용한 소자 각각에 대하여 게이트 전압에 0 V로 인가 시 소스-드레인 전극 사이의 활성층에 전류가 흐르면 채널이 이미 형성되어 있는 상태이다. 이와 같이 전압을 인가하지 않은 경우에도 'on'상태에 있는, 즉 정상전도 상태 (normally on)의 경우를 공핍형 (depletion mode)이라 한다. 반대로 게이트 전압에 0 V를 인가 시 활성층에서 전류가 흐르지 않으면 채널이 형성되어 있지 않은 상태로, 전압을 인가하지 않았을 때 '오프'상태에 있는, 즉 차단상태 (normally off)의 경우를 증식형 (accumulation mode)이라고 한다. 공핍형 소자는 이미 채널이 형성되어 있는 정상 전도 상태에 있으므로 이 소자를 차단상태로 만들

기 위해서는 p-형 반도체 소자의 경우 양의 게이트 전압을 인가해야 한다. n-형 반도체 소자의 경우 반대로 음의 게이트 전압을 인가해야 한다. 증식형 소자는 게이트 전압이 0 V일 때 차단상태로 되어 있으므로 채널을 형성하기 위해서는 p-형 반도체 소자의 경우 음의 게이트 전압을 인가하여 전류의 흐름을 증가시켜야 한다. 반대로 n-형 반도체 소자의 경우 양의 게이트 전압을 인가하여 전류의 흐름을 증가시키도록 한다.

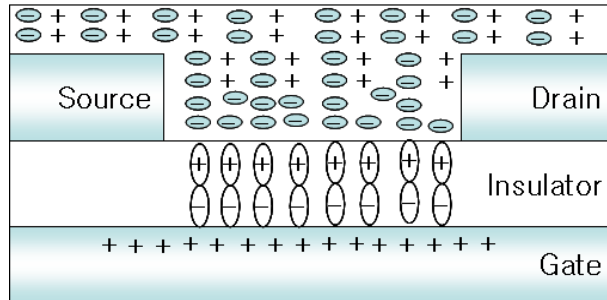
Figure 6에 n-채널과 p-채널 FET 소자의 소스-드레인 전압에 대한 드레인 전류를 각각 나타내었다.



(a) $V_{DS} = 0 \text{ V}$, $V_G = 0 \text{ V}$

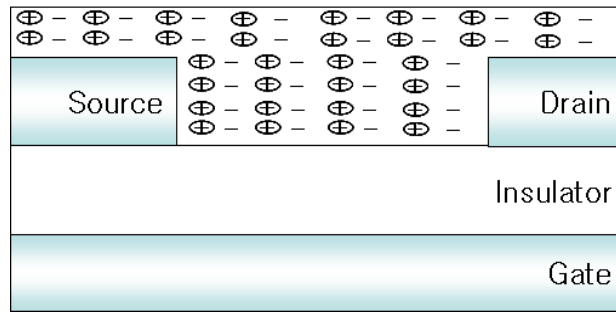


(b) $V_{DS} = 0 \text{ V}$, $V_G > 0 \text{ V}$

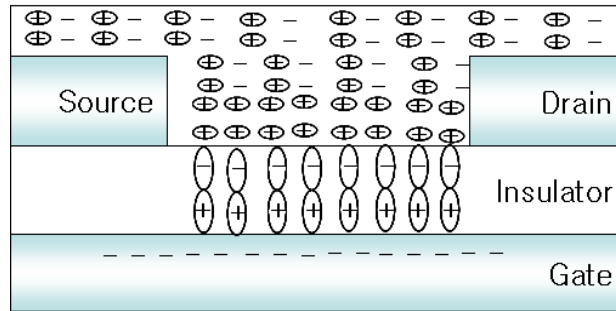


(c) $V_{DS} = 0 \text{ V}$, $V_G < 0 \text{ V}$

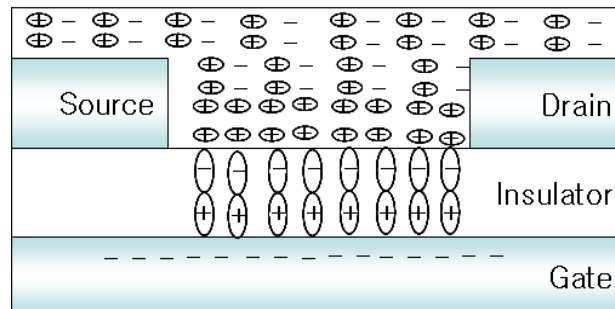
Figure 2. *p*-형의 유기박막 트랜지스터의 원리



(a) $V_{DS} = 0 \text{ V}$, $V_G = 0 \text{ V}$



(b) $V_{DS} = 0 \text{ V}$, $V_G < 0 \text{ V}$



(c) $V_{DS} = 0 \text{ V}$, $V_G > 0 \text{ V}$

Figure 3. n -형의 유기박막 트랜지스터의 원리

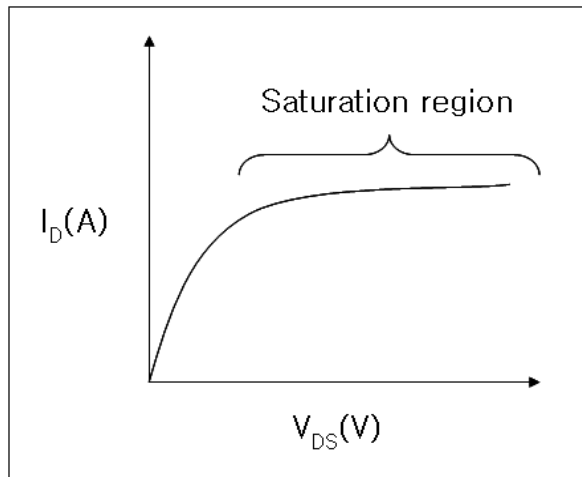
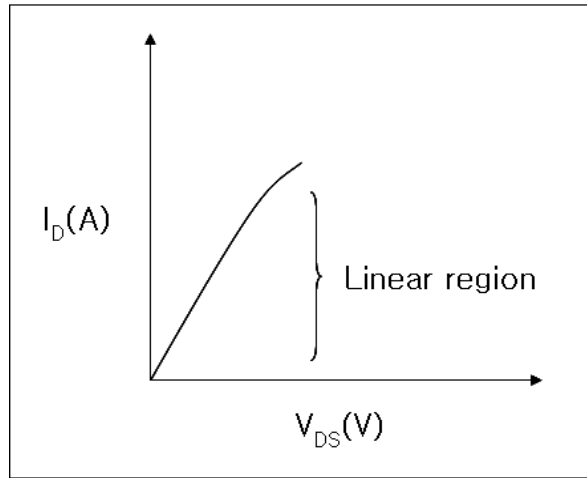
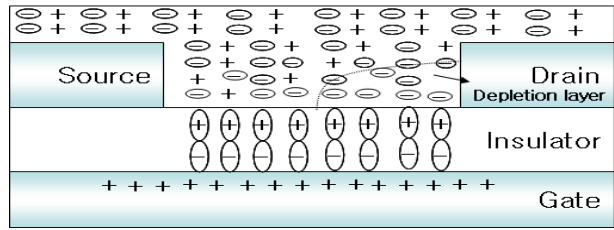
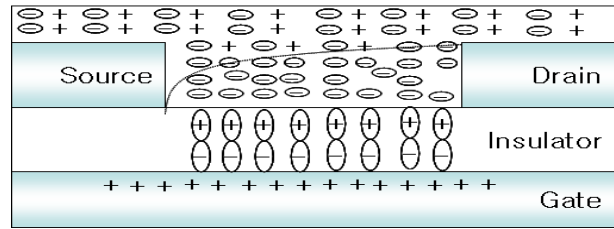


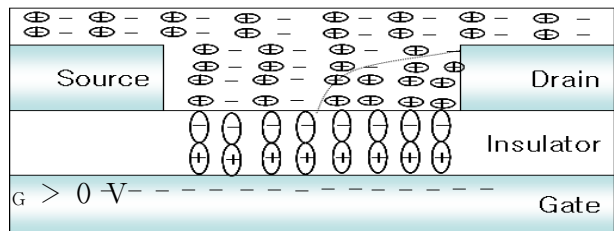
Figure 4. FET의 드레인 전압 대 드레인-소스 전압(V_D vs. V_{DS})곡선
 (a) 선형 영역 (b) 포화 영역



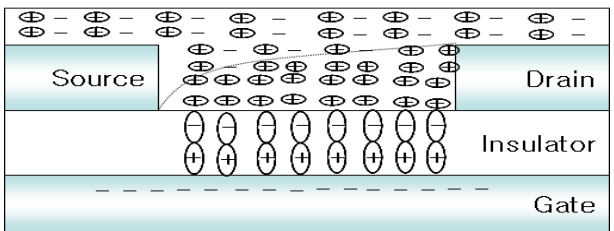
(a) p -channel $V_{DS} < 0 \text{ V}$, $V_G > 0 \text{ V}$



(b) p -channel $V_{DS} \ll 0 \text{ V}$, $V_G > 0 \text{ V}$

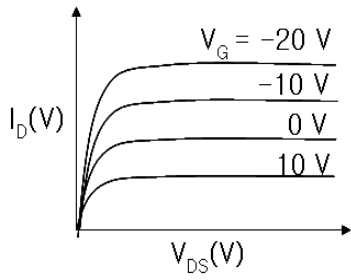


(c) n -channel $V_{DS} > 0 \text{ V}$, $V_G < 0 \text{ V}$

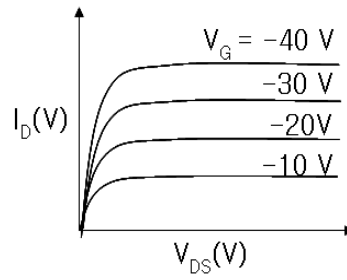


(d) n -channel $V_{DS} \gg 0 \text{ V}$, $V_G < 0 \text{ V}$

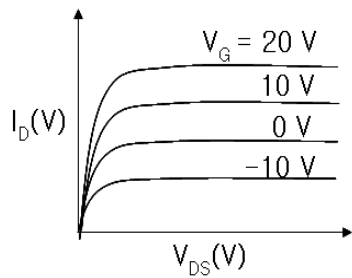
Figure 5 p -형과 n -형의 핀치 오프(pinch-off) 작동 원리



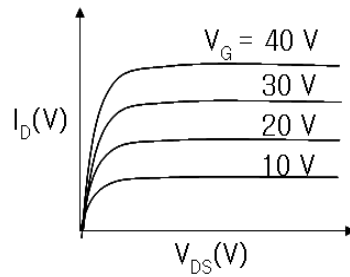
(a) *P*-channel depletion mode



(b) *P*-channel accumulation mode



(a) *n*-channel depletion mode



(b) *n*-channel accumulation mode

Figure 6. FET의 전형적인 그레이드 전류대 드레인-소스 전압 (I_D vs. V_{DS}) 곡선의 특성

3. 유기 FET의 소자 특성

FET의 소자 특성을 평가하는 성능 지수로는 전계효과이동도 [Field effect mobility : $\mu_{\text{FET}}(\text{cm}^2/\text{Vs})$], 문턱전압[threshold voltage : V_T (V)] 전류 점멸비 ($I_{\text{on}}/I_{\text{off}}$ ratio) 등이 있다. 먼저 전계효과 이동도는 트랜지스터의 성능 중 가장 중요한 요소로 단위 전계 1 V/cm에 의go 이동하는 거리를 나타내며, 각종 산란요소(불순물 산란, 입자산란 등)들에 의해 결정된다.

전계 효과이동도는 드레인 전류 대 소스-드레인 전압(I_D vs. V_{DS}) 곡선으로부터 계산이 가능 하다. 드레인 전류는, 드레인 전류 대 소스-드레인 전압곡선의 선형 영역과 포화영역에 대하여, 식(1)과 (2)로 표현되며, 이때 μ 는 전계효과 이동도, W 는 채널의 폭, L 은 채널의 길이, C_i 는 게이트 절연체의 단위 면적당 캐패시턴스(capacitance)를 나타낸다. V_G 와 V_T 는 각각 게이트 전압과 문턱 전압을 의미한다. 이때 드레인 전류 대 소스-드레인 전압곡선으로부터 드레인 전류 대 게이트 전압(I_D - V_G)의 관계 그래프를 각각 플롯 하고 [Figure 7(a), (b)], 그 기울기를 나타내는 식 (3), (4)에 적용하여 선형영역과 포화영역에서의 전계효과이동도를 각각 구할 수 있다.

무기물(비정질 실리콘) 트랜지스터의 경우 일반적으로 요구 되는 이동도는 $1\sim 10\text{cm}^2/\text{Vs}$ 이다. 현재까지 보고 된 공액 고분자를 이용한 트랜지스터는 폴리 3-헥실티오펜을 활성층으로 하여 제작된 경우이며, $0.1\text{cm}^2/\text{Vs}$ 으로 가장 높은 값을 나타내었다²⁹. 문턱전압은 게이트와 유기반도체의 일함수 차이 그리고 게이트 절연막의 내부 전하 및 계면 전하 등에 의해 결정된다. Figure 7에 나타낸 바와 같이 드레인 전류 대 게이트 전압(I_D - V_G)을 플롯 하였을 때 X축의

절편이 문턱 전압이 된다. 전류 점멸비는 소자 구동 시 중요한 성능 지수이며, 차단상태(*off-state*)에서 흐르는 전류가 적을수록 증가한다. 차단 상태의 전류는 식 (5)로 나타내어진다. 이때 σ 는 전기전도도, t 는 활성층의 두께, N_A 는 도핑 농도이다. 따라서 차단 상태가 작아야 낮아진다. 무기물 트랜지스터의 경우 요구되는 전류 점멸비는 10^7 이상이다. 공액 고분자를 활성층에 사용한 경우 아직 그 수준에는 못 미치나 폴리 3-헥실티오펜을 사용한 경우 10^6 보다 높은 전류점멸비가 보고 되었다.

$$I_{D(lin)} = \frac{W}{L} \mu C_A [V_G - V_T] V_D \quad \dots\dots\dots (1)$$

$$\sqrt{I_{D(sat)}} = \sqrt{\frac{K_{M(sat)}}{2} (V_G - V_T)} \quad \dots\dots\dots (2)$$

$$I_{D(sat)} = \frac{W}{2L} \mu C_A [V_G - V_T]^2$$

$$K_{M(lin)} = \frac{W}{L} \mu C_i \quad \dots\dots\dots (3)$$

$$\sqrt{\frac{K_{M(sat)}}{2}} = \frac{W}{L} \mu C_i \quad \dots\dots\dots (4)$$

$$I_{(off)} = \frac{W}{L} \left\{ (t + P) V_D + \frac{2P}{3Q} [1 - (1 + QV_D)^{\frac{3}{2}}] \right\} \quad \dots\dots\dots (5)$$

$$P = \frac{\varepsilon_s}{C_i} \quad Q = \frac{2C_i^2}{qN_A \varepsilon_s}$$

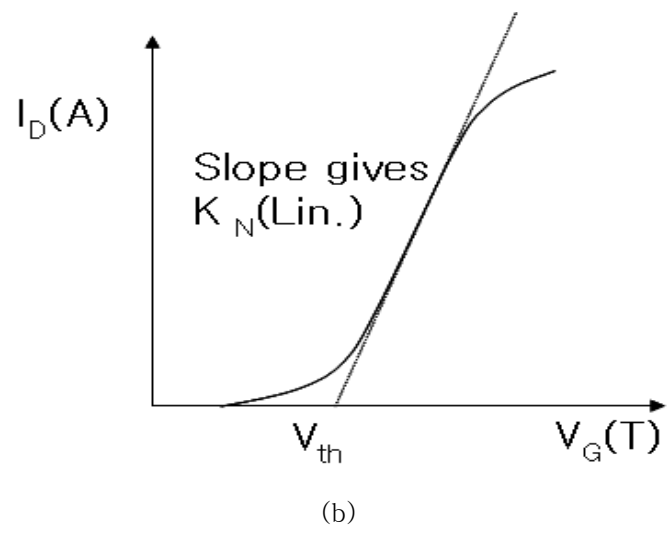
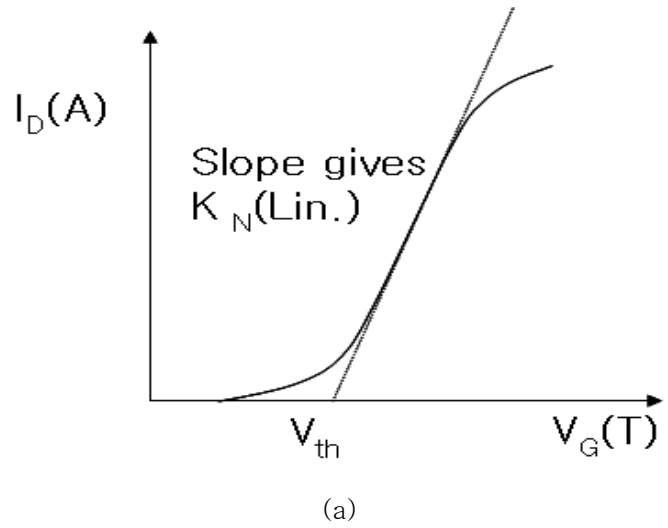


Figure 7 (a) 선형 영역과 (b) 포화 영역의 드레인 전류 대 게이트 전압의 특성.

4. 잉크젯 프린터 기술의 배경과 응용

IT 산업의 발달에 따라 디스플레이, PCB, 반도체 시장은 확대 일로에 있으며 국가 경쟁력 제고를 위한 전략 상품으로 많은 투자가 이루어지고 있다. 이들 제품을 위한 제조 공정에는 많은 미세 패턴 형성 기술이 사용되고 있다. 잉크젯 기술은 이제까지는 OA용 컬러 프린터가 주요 응용분야 이었지만 최근에는 IT 및 NT, BT 분야의 마이크로 패턴닝 공정에의 응용이 활발히 검토 되고 있다. 잉크젯 기술의 적용이 가능한 대표적인 응용 분야는 LCD, OLED, PDP 등의 평판 디스플레이 분야, 금속 배선, 저항, 캐피시터, 인덕터, 트랜지스터 등 PCB 분야, CSP, BGA, MCM 등으로 고집적화, 다기능화 되는 반도체 패키징 분야가 있다. 한편 BT 분야에는 DNA 칩 제조 등에 잉크젯 기술이 이미 실용화 되고 있는 실정이며, 각종 진단용 로봇 기술의 일부로 개발되고 있다.

잉크젯 기술의 원리와 요소 기술의 핵심은 잉크젯 프린트 헤드, 잉크 및 잉크 고착 코팅액, 정밀기기 시스템/ 헤드분사제어 펌웨어 3가지 요소[Figure 8]와 이들 기술을 종합할 수 있는 통합 기술이 갖추어져야 한다.

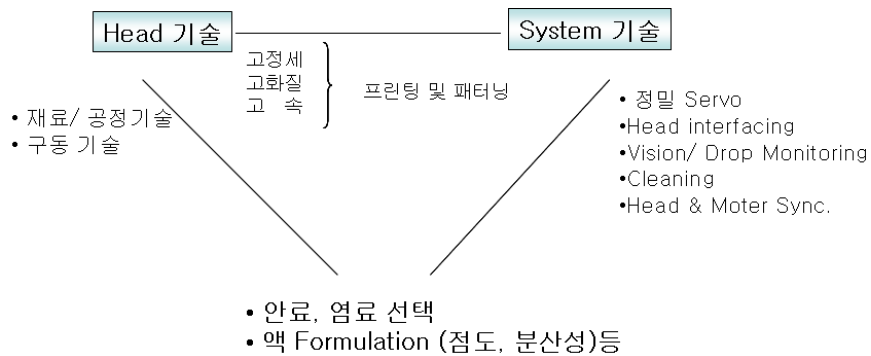


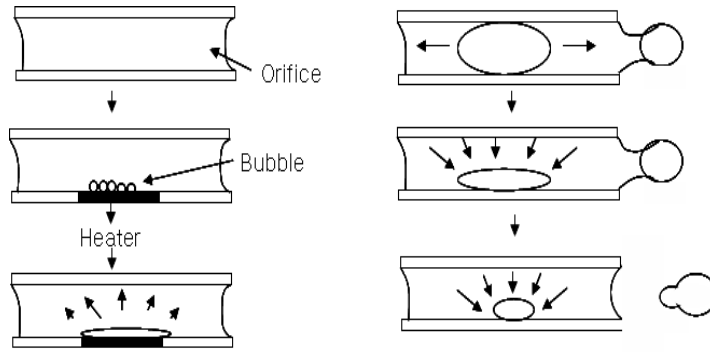
Figure 8. 잉크 기술의 3가지 요소

잉크젯 프린터 헤드 기술은 HP의 열적분사방식의 경우 반도체 및 박막 공정 기술을 이용한 대량 생산 체제에 들어가 있으며, Epson의 피에조방식은 정밀한 기계가공 및 조립 기술이 사용되고 있다. 따라서 일반적으로 열적분사방식의 잉크젯 프린터 헤드는 1회 사용 후 교체하는 소모품으로 사용되나 피에조 방식은 프린터 자체의 수명이 다할 때 까지 쓰는 영구 헤드로 알려져 있다. 최근에는 잉크젯을 제어하는 드라이브 IC가 잉크젯 헤드에 증착된 기술이 널리 사용되기 시작하였다.

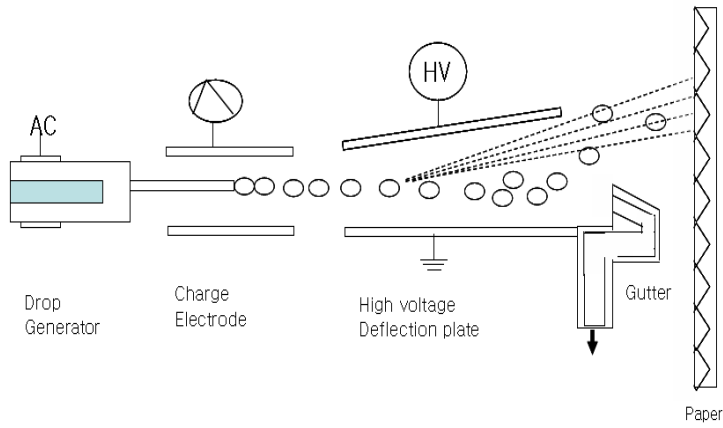
잉크젯 기술의 역사는 1800년 후반에 영국의 Raileigh 가 비점성체의 입자화 과정을 수리 해석 하고 현재의 연속 잉크 기술의 기초가 되는 액정이론을 발표한 것으로 거슬러 올라간다. 그러나 현재 사용되는 잉크젯 기술이 본격적으로 개발된 시기는 1960년대에 Tel type 사의 Winston 의 전계 제어 방식과 Stanford Instrument 사의 하전 제어 방식의 발명에 기인되며 1970년에는 Kyser과 Zaltan 등에 의한 drop on demand 방식이 개발되었다.

잉크젯 기술은 그 분사 형태에 따라 연속식(Continuous) 잉크젯 방식과 적하요구(drop on demand) 방식으로 분류할 수 있다[Figure 9]. 연속 방식은 항상 잉크를 토출 시켜 필요한 시간에 잉크의 방향을 편향 시켜 기록하는 방식으로, 속도는 빠르지만 잉크 회수를 위한 기구가 복잡한 단점이 있다. 주로 싱글 노즐을 사용하며 포장지의 인쇄 등 주로 산업용으로 사용되고 있다. 최근에는 아주 소형이면서 미세한 글자까지 인쇄가 가능한 제품이 판매되고 있다. 그러나 이 방식은 $100\mu\text{m}$ 이하의 미세한 점을 찍을 수 있는 제품도 있지만 점의 크기가 수백 μm 정도가 일반적이다. 필요한 시간에만 잉크를 토출 시키는 적하요구 방식은 주로 OA용 프린터에 사용되고 있으며

최근에는 $20\mu\text{m}$ 이하의 미세한 점 까지 표현이 가능하다. 적하요구 방식은 잉크 토출의 구동원이 열에 의한 히터의 가열인 경우는 열 분사 방식이라 하며, 피에조 소자에 의한 압력으로 잉크를 밀어내는 합전 방식이라고 분류할 수 있다. 열 분사 방식은 개발한 회사에 따라 약간씩 구조가 다르나 원리적으로는 동일한 기술이다. 즉, HP의 경우 히터와 잉크 토출방향이 직각으로 배열되어 있고, 각 셀을 기준으로 보면 마치 셀의 천장에서 잉크가 토출되는 것 같다고 하여 루트 셔터라고도 부른다. 한편 Canon의 경우 히터와 잉크 토출 방향이 평행하게 되어 있고 각 셀을 기준으로 보면 옆에서 잉크가 분사되기 때문에 사이드 셔터라고도 부른다.



(a)



(b)

Figure 9 (a) 적하법(Drop on Demand)와
(b) 연속법(Continuous method)의 원리

5. 연구 목적

본 실험에서는 전기전도도가 높으며, 활성층에 적용하여 제작된 소자의 경우 전하 이동도의 증가와 전류 점멸비의 증가 경향을 갖는 올리고머를 합성하였다. 3,4-다이에틸렌다이옥시 티오펜은 매우 불안정하기 때문에의 사슬 길이를 늘이는데 제한적 이었으나, 피오펜을 양쪽에 붙임으로써 3,4-다이에틸렌다이옥시 티오펜을 안정화 시켜줄 수 있다. 염기로 n-BuLi를 사용하여 기능기인 snbu₃를 붙였고 Stille's couple 방법을 이용하여 3,4-다이에틸렌다이옥시 티오펜과 티오펜을 커플링 시켰다.

합성된 5,5'-Dihexyl-3',4',3'',4'',3''',4'''-tri(ethylenedioxy)-2,2':5',2'':5'',2'':5''',2'''-quiquithophene(TEEET)는 ¹H NMR, ¹³C NMR를 통해서 구조 분석을 하였다. 폴리 3,4-다이에틸렌다이옥시 티오펜을 게이트, 드레인, 그리고 소스로 사용하였으며, 절연층으로는 폴리 메틸 메타 아크릴레이트 (PMMA)을 사용하였다. 잉크젯을 이용한 공정을 간편화 하는 것뿐만 아니라, 저렴한 가격으로도 생산할 수 있는 방법이다.

II. 실험

Part 1. 전도성 고분자 합성 및 분석

1. 시약 및 기기

(1) 시약

출발 물질로는 thiophene과 3,4-ethylenedioxythiophen(EDOT)을 사용하였고, EDOT의 경우는 증류하여 사용하였다. Base로 n-BuLi을 사용하였으며, Stille's coupling 시 촉매로는 tetrakis(triphenylphosphine)palladium(0)를 사용하였다. 실험에 사용된 시약은 Table 1에 나타내었다.

Starting materials	Chemical formula	M.W.	Purity (%)	Source
Thiophene	C ₄ H ₄ S	84.14	99%	Aldrich. Chem. Co., Inc.
3,4-ethylenedioxy thiophene	C ₆ H ₈ O ₂ S	142.18	98%	Aldrich. Chem. Co., Inc.
N-BuLi	CH ₃ (CH ₂) ₃ Li	64.04 (2.5M)		Aldrich. Chem. Co., Inc.
tributyltin chloride	C ₁₂ H ₂₇ ClSn	325.49	96%	Aldrich. Chem. Co., Inc.
tetrakis(triphenylphosphine) palladium(0)	C ₇₂ H ₆₀ P ₄ Pd	1155.58	99%	Aldrich. Chem. Co., Inc.
N-bromohexane	CH ₃ (CH ₂) ₅ Br	165.08	98%	Aldrich. Chem. Co., Inc.
N-Bromosuccinimide	C ₄ H ₄ BrNO ₂	177.99	97%	Aldrich. Chem. Co., Inc.

Table 1. 합성에 사용 된 시약.

(2) 분석기기

● 핵자기 공명(Nuclear Magnetic Resonance spectrometa)

합성된 물질의 구조 분석을 하기 위해 핵자기 공명기기를 사용하였다. 핵자기 공명이라고 불리는 이 장치는 자석, 조절장치, 컴퓨터의 세부분으로 이루어져있다. 신호발생기에서 만들어진 연속파가 펄스 형태로 만들어지며 1차 송신기, 2차 송신기를 거쳐 신호가 증폭되어 Probe 내의 코일에 가해진다. 시료의 주어진 핵종에 대한 지만 에너지 준위간의 전이가 일어나게 되며, 이것은 에코 신호의 형태로 나타나게 된다.

본 실험에서는 ^1H NMR(CDCl_3)(Gemini Varian-200 (200 MHz)을 사용하였고, ^{13}C NMR(DMSO) (Bruker FT-NMR (400MHz))을 사용하였다.

● 자외선 분광계(UV-VIS Spectrometa)

물질의 구조분석을 위해 UV/Vis spectra를 통해 알아보았다. 이 기기는 특정 파장을 흡수하는 물질의 특성과 구조를 파악하는데 주로 사용된다. 본 실험에서는 Sinco UV 25550을 사용하였다.

2. 실험 방법

실험에 대한 개략적 과정을 Fig. 10 에 도시하였다.

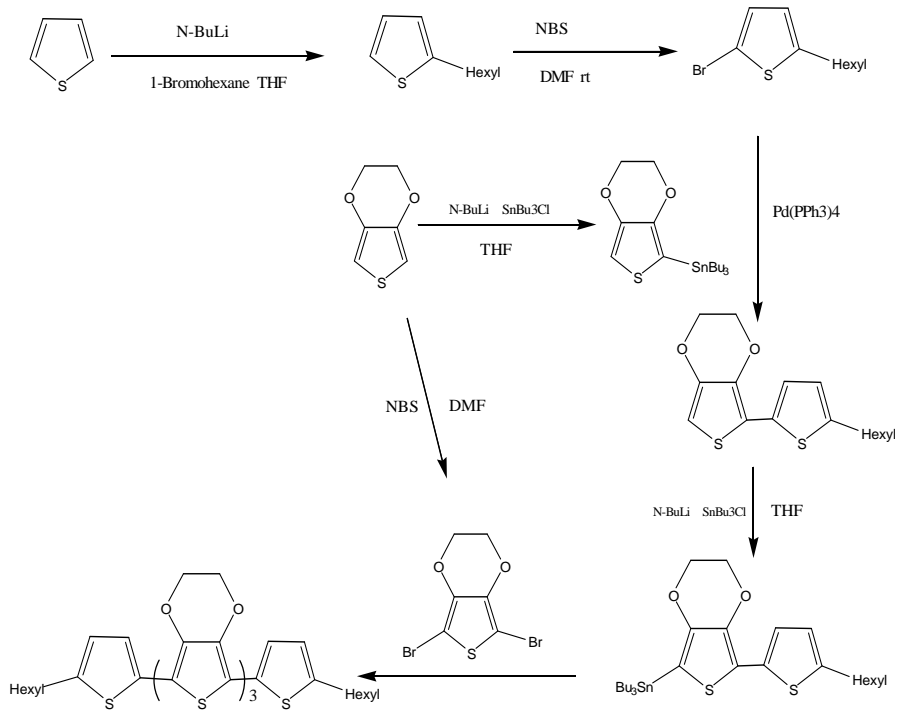


Figure 10 TEEET 올리고머 합성 방법 및 단계.

전도성 올리고머 합성

1. The stannyl derivative:

THF에 녹아 있는 thiophene 용액에 n-BuLi(2.5 M in Hexane) -78°C 에서 한 방울씩 첨가 한다. 혼합용액을 같은 조건에서 한 시간 교반시킨다. tributyltin chloride를 위의 혼합 용액에 한 방울씩 첨가 시킨 후, 같은 온도에서 30분 반응 시킨다. 실온에서 한 시간 반응 시킨 후 ethyl ether로 추출하고, 포화 용액 NaHCO_3 를 유기층을 3번 씻어낸다. MgSO_4 로 수분을 증발시켜 용매를 제거 후 정제 없이 다음단계에 사용하였다.

2. Coupling reaction

The stannyl 유도체, 브롬화 유도체, 그리고 촉매(5% $[\text{Pd}(\text{PPh}_3)_4]$)을 dry Toluene (50ml)에 넣고 12시간 이상 reflux 시킨다. 농축시킨 후 CH_2Cl_2 로 추출한 후 포화 된 NaHCO_3 와 H_2O 로 유기층을 두 번 wash 한다. MgSO_4 로 수분을 제거하고, 용매를 제거 후 적당한 방법으로 분리한다.

3. Bromination

질소 하에서 3,4-ethylenedioxy thiophene를 DMF에 녹인다. 0°C 로 온도를 낮추고, N-Bromosuccinimide를 한 번에 넣는다. 온도를 실온으로 올리고 12시간 이상 교반시킨다. H_2O 를 용기에 넣고 CH_2Cl_2 로 추출하다. MgSO_4 로 유기 층의 수분을 제거 하고 용매를 제거한다.

Part 2. 유기 FET소자 제작 및 특성 분석

1. 시약 및 기기

(1) 시약

게이트, 드레인, 그리고 소스는 직접 합성한 PEDOT를 사용하였고, 용매로는 메틸 에틸 케톤(Methyl Ethyl Ketone)을 정제 없이 사용하였다.

Starting materials	Chemical formular	M.W.	Purity (%)	Source
PEDOT				
GOLD				
Poly(methylmethacrylate)(PMMA)	$[-CH_2C(CH_3)(CO_2CH_3)-]_n$	120,000		Aldrich. Chem. Co., Inc.
Methyl ethyl Ketone(MEK)	$CH_3COCH_2CH_3$	72.11	99.8%	J.T. Baker

Table 2. 유기 박막 트랜지스터 사용된 시약.

(2) 분석기기

● 원자 현미경(Atomic Force Microscopy)

활성층의 표면, 두께, 그리고 표면 거칠기를 보기 위해서 원자 현미경(AFM)을 사용하였다. 원자 현미경은 팁과 시료의 표면 사이에 작용하는 원자간의 힘을 이용하여 시편표면에 원자구조를 3차원 이미지로 영상화 하는 기구로서, 레버 원자수준 정도의 거리로 가까이 갔을 때, 활성층에 의해 팁에 작용하는 힘이 레버를 휘게 한다. 이때 팁을 소자의 활성층에 대하여 또는 활성층을 팁에 대하여 상대적으로 스캔 할 때 위치에 따라 달라진다. 이러한 힘은 터널링 할 때 위치에 따라 켈틸레버 감지 장치 혹은 빔의 휨 정도와 같은 방법을 통하여 측정된다. 팁과 활성층 사이의 거리에 따라 컨택 모드와 넌 컨택 모드로 나눌 수 있다. 컨택 모드의 경우 이들 사이의 거리가 원자 수준 정도의 거리에서 원자핵에 의한 척력을 이용하는 경우이고, 본 실험에서 사용된 넌 컨택 모드의 경우 10 ~ 100 nm 만큼 멀리 둔 다음 전기적 상호 작용 (Electric Force Microscope), 자기적 상호 작용(Magnetic Force Microscope) 또는 반데르발스 인력 (Attractive Force Microscope)을 이용하는 방법이다. 본 실험에서는 원자 현미경(Pack Scientific Autoprobe)을 이용하여 측정하였다.

● I-V 측정

본 연구에서는 소스, 드레인, 그리고 게이트 전극으로 구성된 3단자 FET 소자를 제작하였다. 게이트 전압에 의해 소스-드레인 전극 사이의 채널에서 흐르는 전류가 제어됨을 확인하기 위해서 다양한 게이트 전압에 따른 드레인 전류 대 소스-드레인 전압 특성을

관찰하였다. 소스-드레인 전극에 대한 전압의 인가 및 드레인 전류의 동시 측정을 위하여 Keithley 2400 source measurement를 사용하였다.

2. 실험 방법

실험에 대한 개략적 과정을 Figure 11, 12 에 도시하였다.

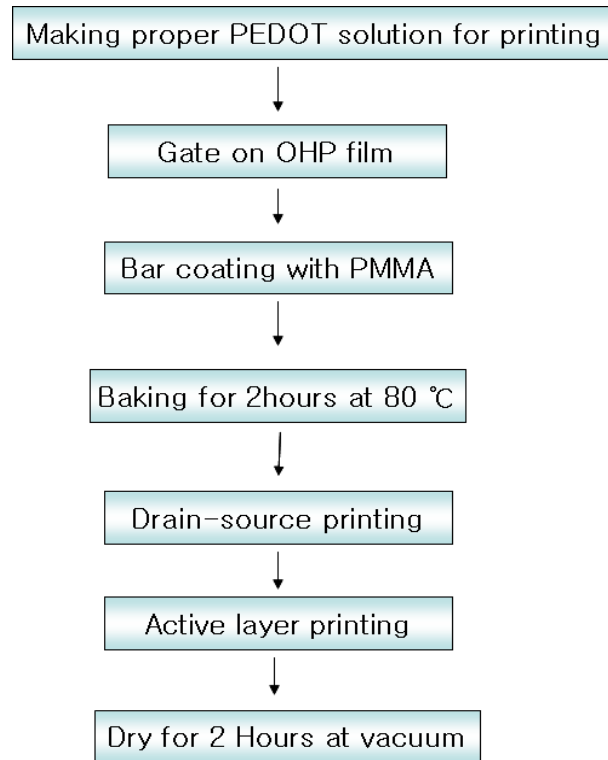


Figure 11. PEDOT를 전극으로 사용한 유기 박막 트랜지스터 제작 과정.

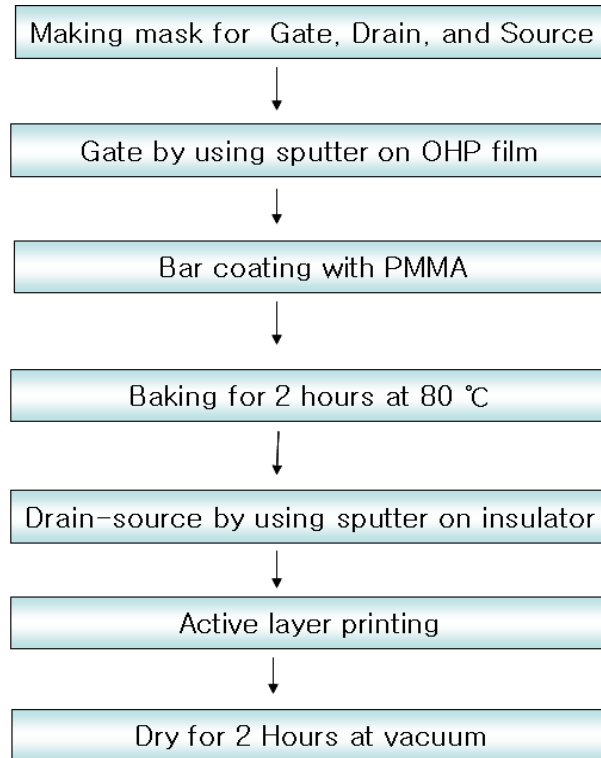


Figure 12. 금을 전극으로 사용한 유기 박막 트랜지스터 제작 과정

(1) PEDOT를 이용한 유기 박막 트랜지스터 소자제작

잉크젯 프린터를 이용하여 간편하게 소자를 제작하였다. 잉크젯 프린터를 사용할 경우 균일한 결과를 창출하면서, 시간과 가격을 줄일 수 있는 장점이 있다. 그러나 상용화된 프린터의 경우 수백 μm 이하로 프린터를 할 수 없으며, 카트리지에 맞는 적당한 용액을 합성하여 점도와 분산력을 갖추어야 한다.

본 실험에서는 탑 컨택 방식을 사용하였고[Figure. 13(a)] 벌크로 합성된 PEDOT과 게이트, 드레인, 그리고 소스로 사용하였다. 절연층으로는 폴리 메틸메타 아크릴레이트(PMMA)를 메틸 에틸 케톤에 녹여 바 코팅을 이용하여 제작하였다. 상용화 하는 OHP 필름위에 PEDOT를 사용하여 게이트를 프린트 한 후 폴리 메틸미타 아크릴레이트를 메틸 에틸 케톤에 녹여 바 코팅을 하였다. 80 $^{\circ}\text{C}$ 의 오븐 안에서 두 시간 동안 열처리 과정을 거친 후, 드레인 소스를 그 위에 프린팅 하였다. 활성층을 드레인 소스위에 프린터 한 후에 용매를 날리고 적당한 구조를 형성을 돕기 위해 진공에서 두 시간 이상 드라이 시켰다. 이때 드레인-소스 간격을 500 μm 와 700 μm 로 하였고, 게이트 프로브를 접촉 시키는 면이 절연층으로 덮여 있기 때문에 메틸 에틸 케톤에 담가 녹여낸다. PEDOT의 경우 프로브의 날카로운 팁에 긁힐 가능성이 높다. 그렇기 때문에 실버 페이스트를 발라 트랜지스터 특성 곡선을 측정하였다.

(2) 금을 이용한 유기 박막 트랜지스터 소자 제작

금을 게이트, 드레인, 그리고 소스로 사용한 경우에는 스퍼터를 이용하였다. 게이트, 드레인, 그리고, 소스에 대한 마스크를 만들어 금을 증기 증착하였다. 절연층으로는 폴리 메틸미타 아크릴레이트를 사용해 바 코팅법을 이용하였다. PEDOT의 방법과 동일하게 열처리 과정을 거친 후 스퍼터를 이용하여 금으로 드레인 그리고 소스를 만들었다. 제작된 소자 위에 TEEET를 떨어트려 트랜지스터 특성 곡선을 측정하였다.

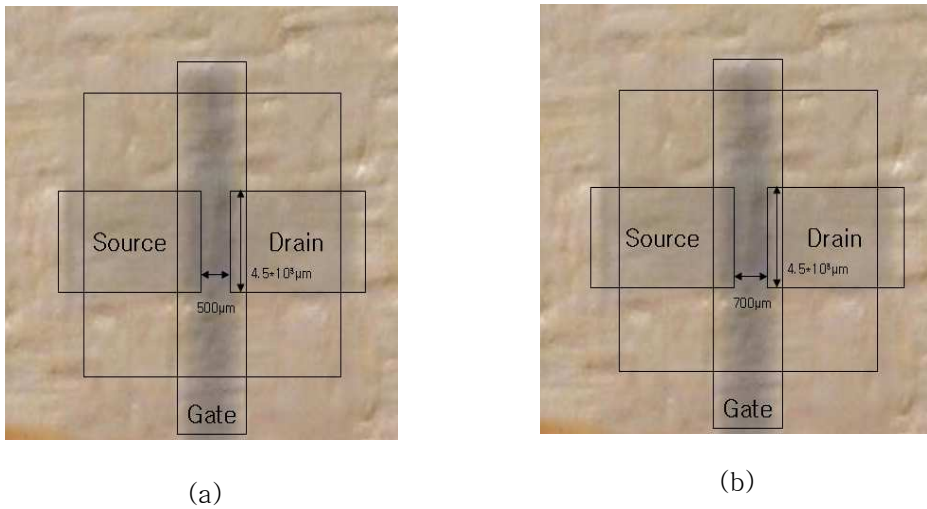


Figure 13. 잉크젯 프린터를 이용하여 만든 유기 박막 트랜지스터 이미지(a) $L=500 \mu\text{m}$, $W=4.5 \times 10^3$ (b) $L=700 \mu\text{m}$, $W=4.5 \times 10^3$

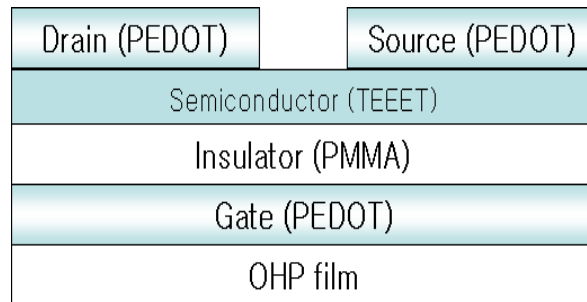
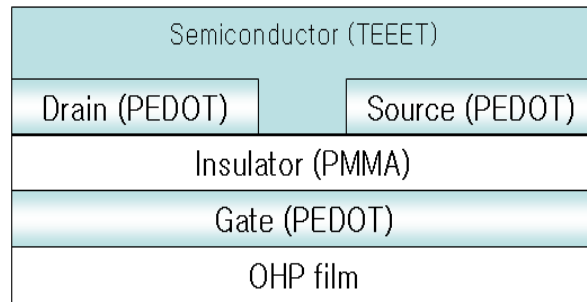


Figure 14. 유기 박막 트랜지스터의 구조

(a) top contact (b) bottom contact

Ⅲ. 결과 및 고찰

Part 1. 전도성 고분자 합성 및 분석

합성한 7,7'-Bis-(5-hexyl-thiophene-2-yl)-2,3,2',3',2'',3''-hexahydro-[5,5';7',5'']ter[thiopne[3,4-b][1,4]dioxine(TEEET)의 NMR 스펙트럼을 얻어 Figure 15. 에 나타내었다. 그림 15 에서 보면 티오펜의 3,4위치의 수소는 6.67과 7.03ppm에서 double let으로 나타난 것으로 부터 알 수 있었으며, 증안의 tri EDOT의 경우 4.4ppm에서 큰 피크와 작은 피크로 겹쳐서 나타난 것을 확인 할 수 있다. 티오펜 양쪽의 Hexyl group은 0.89, 1.32, 1.68, 그리고 2.79ppm에서 triplet, multiplet, tmultiplet 그리고 triplelet으로 각각 나타났다.

EDOT의 단일구조가 늘어날수록 red shift를 하고, 밴드 갭이 좁아진다³⁰. Figure 16 UV/Vis spectrum 으로부터 TEEET의 밴드 갭을 계산 할 수 있고, 그 값은 2.66eV이다. 다른 EDOT unit의 증가는 S · · · O사이의 상호작용이 커지는데 이러한 효과는 TEEET의 HOMO level을 증가시킨다. 이러한 현상은 TEEET의 전기적인 성질에 영향을 미칠 것으로 예상된다.

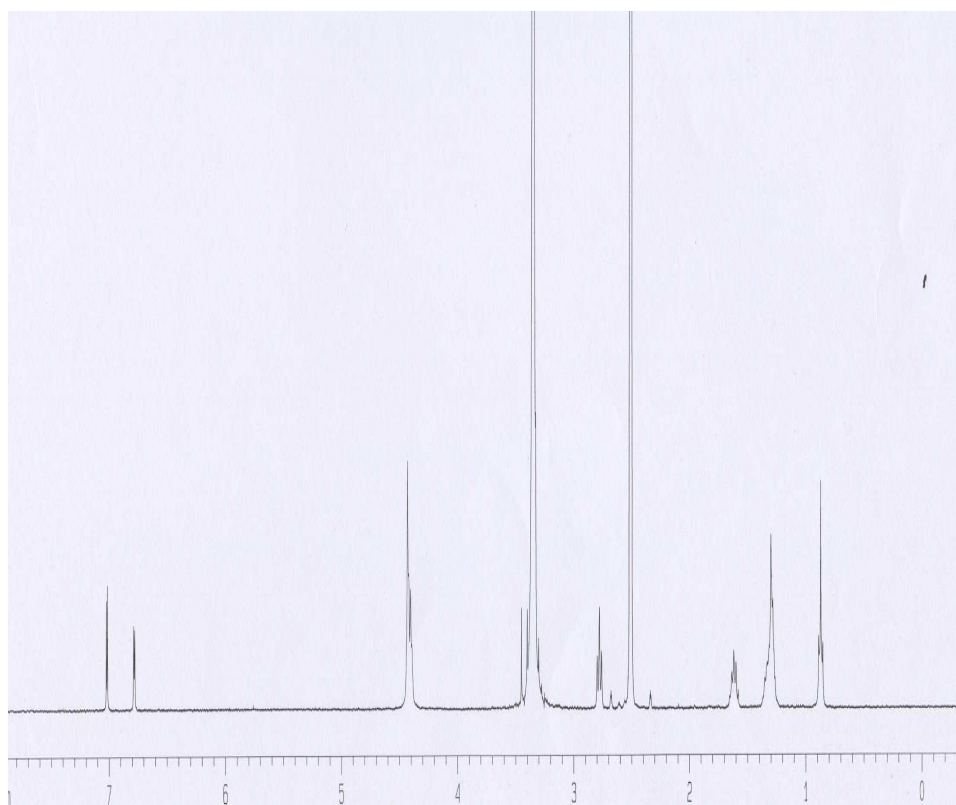
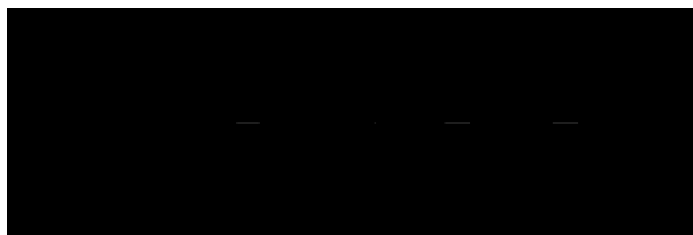


Figure 15. (a) TEEET의 유기 구조, (b) TEEET의 ¹H NMR data

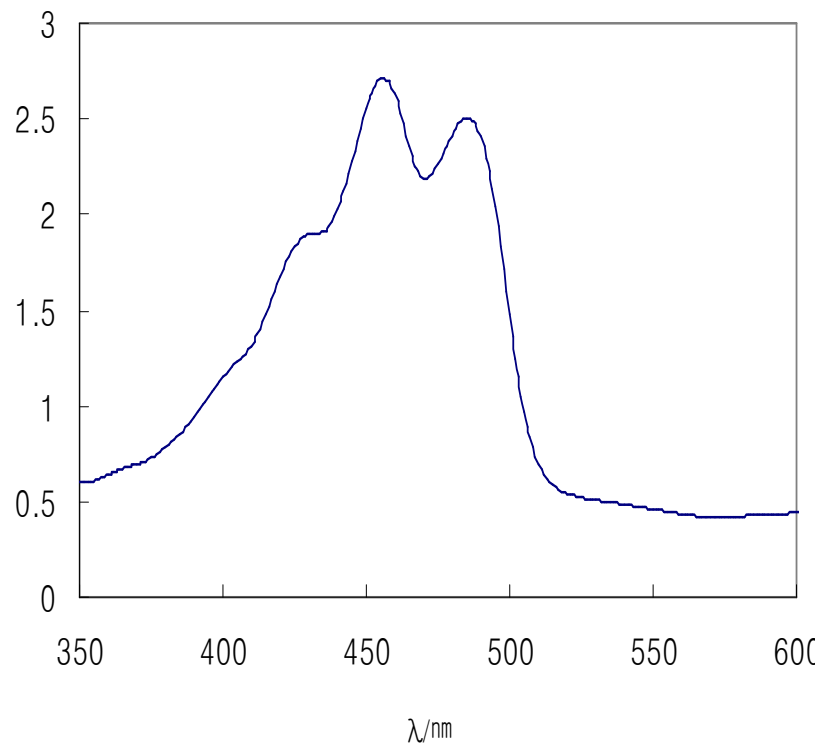


Figure 16. CH₂Cl₂에 녹인 TEET의 UV/Vis 흡수 스펙트라

Part 2. Organic Thin Film Transistor 소자의 특성 분석

1. PEDOT를 게이트, 드레인, 그리고 소스로 사용한 경우의 I-V 특성.

PEDOT을 전극으로 하고 활성층을 TEEET로 하여 소자를 제작하여 드레인 소스의 간격에 따른 I-V 특성 나타내었다. 드레인 소스 간격은 프린터로 할 수 있는 최소의 간격을 선택하였고, 그 간격은 각각 $500\ \mu\text{m}$ 와 $700\ \mu\text{m}$ 이다. 각각에 대한 드레인 전류 대 소스-드레인 전압(I-V) 특성곡선을 Figure 17, 18에 나타내었다. $500\ \mu\text{m}$ 의 간격을 갖는 소자 그래프 Figure 17(a)에서 볼 수 있듯이 게이트 전압을 음의 방향으로 증가 시킬 때 절연체층과 활성층 사이의 계면에서 전하운반체인 정공의 증가로 드레인 전류가 증가하는 경향을 나타내었다. 이때 $-45\ \text{V}$ 이상의 높은 소스-드레인 전압을 인가하면 공핍층의 증가로 인하여 더 이상 전류가 흐르지 않는 포화영역에 이르게 되는데 이러한 현상은 전형적인 FET 특성을 나타내는 것이다. Figure 17 (a)의 I_D-V_{DS} 특성 그래프로부터 TEEET의 이동도를 구하였다 TEEET에 대한 이동도는 $0.36\ \text{cm}^2/\text{Vs}$ 이다. 또한 게이트 전압 $-40(\text{on state})$ 상태와 $0\ \text{V}(\text{off state})$ 에서의 전류의 비로부터 구한 전류의 점멸비(on/off ratio)의 값은 31로 나타났다. 활성층의 TEEET의 불순물을 제거 한다면 더 높은 점멸비를 얻을 수 있을 것으로 예상된다. 게이트 전압에 따른 전류의 곡선(I_D-V_G)[Figure 17 (b)]으로부터 문턱전압을 구하였으며, 문턱 전압은 기울기 곡선의 y 절편 값으로 $-5\ \text{V}$ 이다.

드레인 소스의 간격이 $700\ \mu\text{m}$ 인 소자에 대한 I_D-V_{DS} 그래프는 Figure 18에 나타내었다. 게이트 전압을 음의 방향으로 증가 시킬

때 절연체층과 활성층 사이의 계면에서 전하 운반체인 전하의 증가로 드레인 전류가 증가하는 경향을 나타내었다. 드레인-소스 전압이 40 V 이상일 때 공핍층의 증가로 인하여 더 이상 전류가 흐르지 않은 포화영역에 이르게 된다. Figure 18 (a)로부터 구한 전계효과 이동도는 $2.6 \text{ cm}^2/\text{Vs}$ 이고, 게이트 전압의 -40(on state)상태와 0(off state)상태의 전류의 비로부터 구한 전류의 점멸비(on/off ratio)는 점멸비는 19 으로 나타났다. Figure 18(b)로부터 게이트 전압을 가할 때 전류가 흐르기 시작하는 문턱 전압을 구하였으며, 그 값은 -11 V이다.

PEDOT 드레인, 소스, 그리고 게이트로 사용하고, 활성층으로는 TEEET를 사용한 FET소자의 활성층의 표면 이미지와 3D 이미지를 나타낸 것이다Figure 19. TEEET 분자 균일하지는 않지만, 수직 방향의 결정성이 존재함을 알 수 있다.

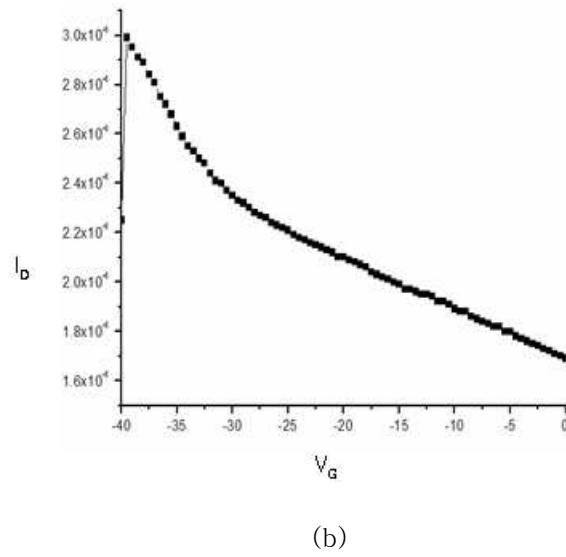
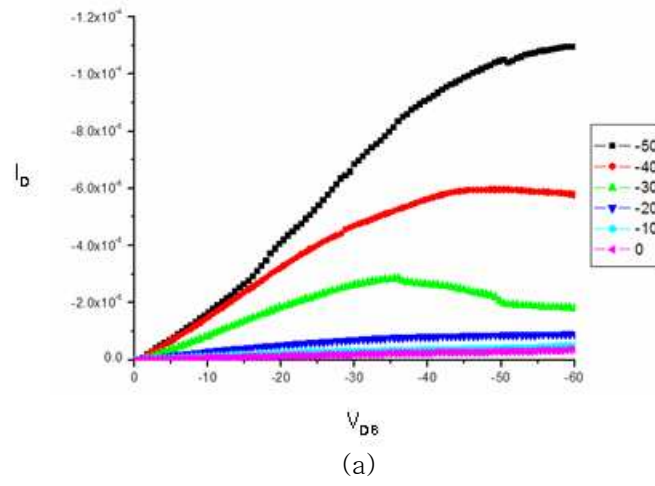
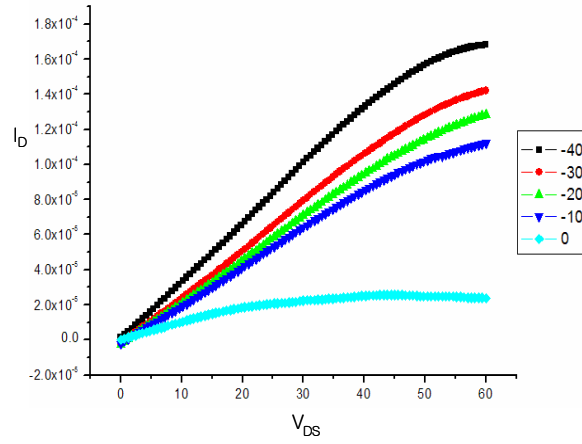
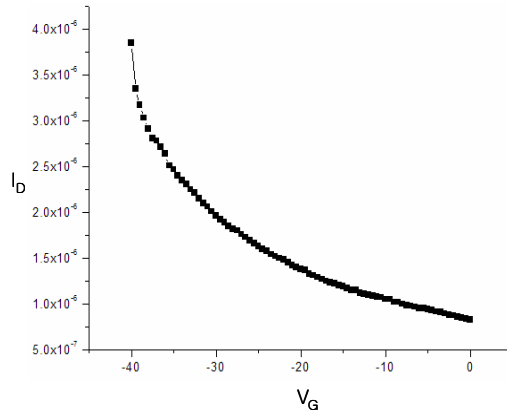


Figure 17 PEDOT를 전극으로 사용한 500 μm 의 그래인 전류 대 게이트 전압의 특성curve
 (a) I_D - V_{DS} curve (b) I_D - V_G curve



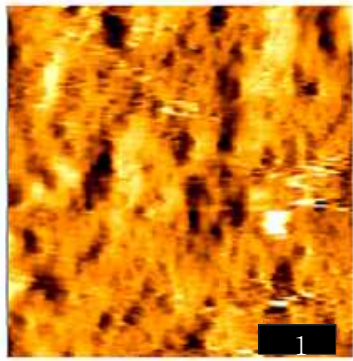
(a)



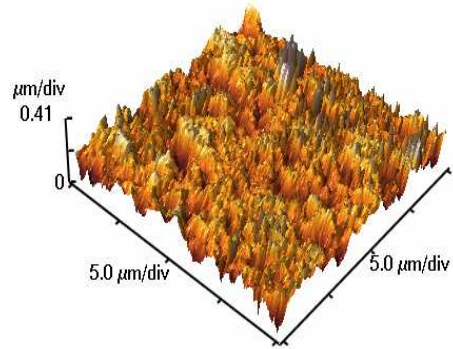
(b)

Figure 18. PEDOT를 전극으로 이용한 $700 \mu\text{m}$ FET 소자의 드레인 전류 대 게이트 전압 Source

(a) I_D - V_{DS} 곡선 (b) I_D - V_G 곡선



(a)



(b)

Figure 19. 드레인 소스 사이의 활성층의 원자 현미경 이미지

(a) 위에서 본 이미지

(b) 3D 입체 이미지

2. 금을 게이트, 드레인, 그리고 소스로 사용한 경우의 전류 대 전압의 특성.

금을 전극으로 하고 활성층을 TEEET로 하여 소자를 제작하여 드레인 소스의 간격에 따른 I-V 특성 나타내었다[Figure 19]. FET의 게이트 효과특성은 볼 수 있으나, 전형적인 특성 곡선, 즉 선형 영역과 포화 영역을 찾아 볼 수 없다. 이것은 금속인 금과 유기 반도체 TEEET간에 에너지 장벽이 생기는 것에 기인한다. 금속의 페르미준위와 반도체의 페르미 준위가 같아야 하지만, 유기 반도체 TEEET의 경우 금속의 페르미 준위보다 높기 때문에 반도체 바깥쪽의 전자가 금속바깥쪽으로 이동하게 되어 전자밀도가 증가하게 된다. 이러한 현상은 쇼트키 장벽(Schottky barrier)라고 하며, 금속과 유기 반도체 사이에서 자주 발생하게 된다.

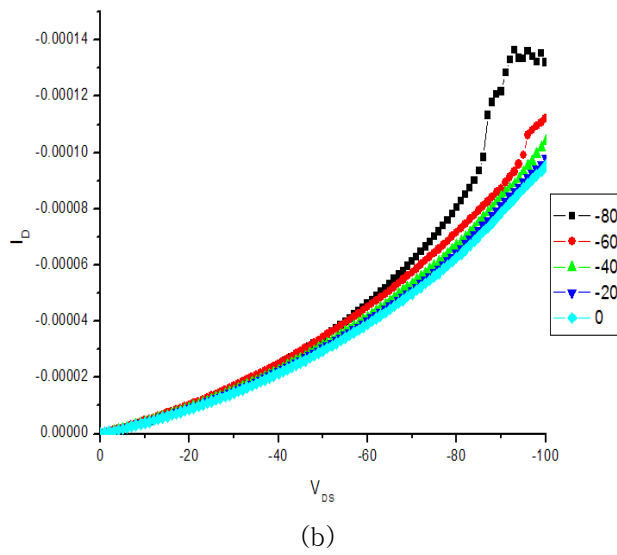
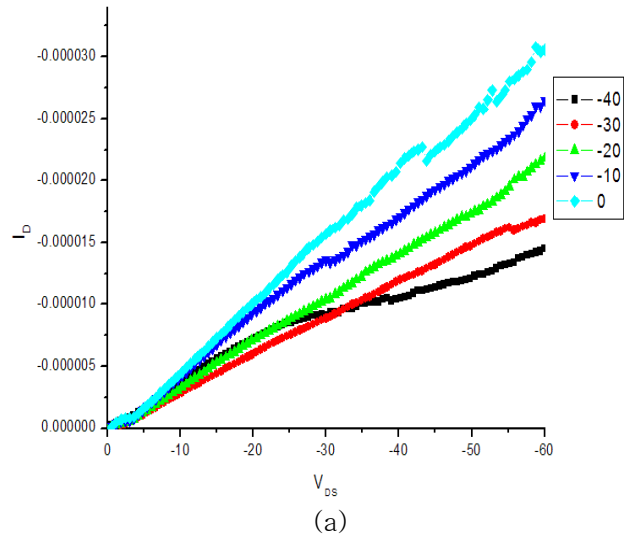


Figure 20. 금을 전극으로 사용한 $500 \mu\text{m}$ FET소자의 드레인 전류대 드레인-소스의 전압 곡선

IV. 결 론

올리고머 7,7'-Bis-(5-hexyl-thiophene-2-yl)-2,3,2',3',2'',3''-hexahydro-[5,5'; 7',5'']ter[thiopne[3,4-b][1,4]dioxine(TEEET)를 합성하였다. 합성된 TEEET는 게이트, 드레인, 그리고 소스를 PEDOT과 GOLD을 이용하여 제작된Organic Field Effect Transistor 의 활성층으로 사용하였다.

1. 옥시데이션 포텐셜이 낮아 공기중에 불안정한 3,4-에틸렌 다이옥시티오펜에 티오펜을 붙임으로써 안정화 시켰고, hexyl기로 인해 안정하고, 결정성을 갖는 분자로 합성하였다.
2. 합성된 TEEET를 유기 박막 트랜지스터 소자의 활성층으로 사용하여, 전계효과 이동도, 점멸비, 그리고 문턱전압을 알아보았다.
3. 3,4-에틸렌 다이옥시티오펜은 PEDOT와 금을 게이트, 드레인, 그리고 소스로 사용하여 전류대 전압곡선 특성을 알아보았다. PEDOT의 경우 전형적인 TFT곡선이 나타났다. 그러나 금의 경우 금속과 유기 반도체사이의 쇼트키 장벽 (Schottky Barrie)로 인해 전형적인 TFT 곡선은 나타나지 않았다.
4. 원자 현미경 이미지를 통해 소자 활성층의 표면과 표면거칠기의 정도를 확인할 수 있었다.

참고 문헌

1. J. H. Schon, A. Dodabalapur, Z. Bao, Ch. Kloc, O. Schenker, and B. Batlogg, *Nature*, **410**, 189(2001).
2. B. Crone, A. Dodabalapur, A. Gelperin, L. Torsi, H. E. Katz, A. J. Lovinger, and Z. Bao, *Appl. Phys. Lett.*, **78**, 2229(2001).
3. M. Granstrom, K. Petritsch, J. C. Arias, A. Lux, M. R. Andersson, and R. H. Friend, *Nature*, **395**, 257(1998).
4. J. H. Schon, Ch. Kloc, A. Dodabalapur, and B. Batlogg, *Science*, **89**, **599**(2000).
5. M. J. Lee, C. P. Judge, and S. W. Wright, *Solid-State Electronics*, **44**, 1431(2000).
6. C. J. Drury, C. M. J. Mutsaers, C. M. Hart, M. Matters, and D. M. de Leeuw, *Appl. Phys. Lett.*, **73**, 108(1998).
7. Francis Garnier, Ryad Hahlaoui, Abderhim Yassar, and Pratima Srivastava, *Science*, **265**, 1684(1994).
8. G. H. Gelink, T. C. T. Geuuns, and D. M. de Leeuw, *Appl. Phys. Lett.*, **77**, 1487(2000)
9. C. D. Sheraw, J. A. Nichols, D. J. Gundlach, J. R. Huang, C. C. Kuo, H. Klauk, and T. N. Jackson. *IEDM*, 619(2000).
10. M. G. Kand, J. Campi, M. S. Hammond, F. P. Cuomo, B. Greening, C. D. Sheraw, J. A. Nichols, D. J. Gundlach, J. R. Huang, C. C. Kuo, L. Jia, H. Klauk, and T. N. Jackson. *IEEE Electron Device Letters*, **21**, 534(2000).

11. F. Ebisawa, T. Kurokawa, and S. Nara, *J. Appl. Phys.*, **54**, 3255(1983).
12. J. H. Burroughes, C. A. Jones, R. H. Friend, *Nature*, **335**, 137(1988).
13. D. J. Gundlach, Y. Y. Lin, T. N. Jackson, S. F. Nelson, and D. G. Schlom, *IEEE Electrondevice Letts.*, **18**, 87(1997).
14. A. Paloheimo, P. Kuivalainen, H. Stubb, E. Vuorimaa, and P. Yli-Lahti, *Appl. Phys. Lett.*, **56**, 1157(1990).
15. J. Paloheimo, H. Stubb, P. Yli-Lahti, P. Kuivalainen, *Syth. Metal.*, **41**, 563(1991).
16. H. Fuchigami, A. Tsumura and H. Koezuka, Ext. Abstr., 1991 *Int. Conf. Solid state Devices and Materials, Yokohama, Japan*, **27**, 596(1991).
17. A. Tsumura, H. Koezuka, S. Tsunoda and T. Ando, *Chem. Lett.*, 683,(1986).
18. Y. Renkuan, Y. Shcheng, Y. Hong, J. Ruolian, Q. Huizuo and G. Decheng, *Synth. Met.*, **41**, 727(1991).
19. C. T. Kuo, S. Z. Weng, R. L. Huang, *Synth. Mett.*, **101**, 88(1992).
20. Y. Ohmori, K. Muro, M. Onoda and K. Yoshino, *Jpn. J. Appl. Phys.*, **31**, L646(1992).
21. A. Tsumura, H. Koezuka and T. Ando, *Appl Phys.* **3225**, 54(1983).
22. F. Grnier, G. Horowitz, X. Z. Peng and D. Fichou, *Adv. Mater.*, **592**, 2(1990).

23. J. Paloheimo, P. Kuivalainen, H. Stubb, E. Vuorimaa and P. Yli-Lahti, *Appl. Phys. Lett.*, **1157**, 56(1990).
24. J. H. Burroughes, D.D.C. Bradley, A. R. Brown, R. N. Marks, K. Mackay, R. H. Friend, R. H. Friend, P. L. Burn, and A. B. Holmes, *Nature*, **539**, 347(1990).
25. G. Gustfesson, Y. Cao, G. M. Treacy, F. Klavetter, N. Colaneri and A.J. Heeger, *Nature*, **447**, 357(1992).
26. N.C. Greenham, S. C. Moratti, D.D.C. Bradley, R.H. Friend and A. B. Holmes. *Nature*, **628**, 365(1993).
27. M. Konagai, K. Takahashi, K. Nishihata, H. Shirakawa, S. Ikeda, *Denki Gakkai Rombunshi*, **103**, 101(1981).
28. Y.Y. Lin, D.J. Gundlach, S. Nelson, T.N. Jackson, *IEEE Electron Device Lett*, **606**, 18(1997).
29. H. Sirringhaus, N. Tessler. and R.H. Friend. "*Integrated Optoelectronic Devices Based On Conjugated Polymer*" **1741**, 280(1998).
30. M. Turbiez, P. Frere, M. Allain, C. Videlot, J.Ackermann, J. Roncail, *Chem. Eur. J.*, **3742**, 11(2005).

Abstract

Organic thin film transistors with conducting oligomer by Ink jet printer

Bockim Lee

Department of Chemistry

Graduate school of

Sungshin Women's University

Commercial HP printer was used to fabricate organic thin film transistor which has high mobility and On/Off ratio. The two points of OTFT are critical in this field. To increase mobility and On/Off ratio, oligomer named 7,7'-Bis-(5-hexyl-thiophene-2-yl)-2,3,2',3',2'',3''-hexahydro-[5,5':7',5'']ter[thiophene[3,4-*b*][1,4]dioxine(TEEET) was synthesized and formulated to use as a semiconducting ink. PEDOT was formulated to use as a conducting ink to print electrodes. Poly(methylmethacrylate) was used for dielectric layer. Inkjet printer was used to fabricate three electrodes (gate, drain, and source) and active layers of thin film transistor (TFT) on commercial 3M inkjet films. Hole mobility, on/off ratio, threshold voltage, of printed TFT were reported.